



03500.017437.

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:	)	
TAKESHI TAKADA ET AL.	)	Examiner: Not Yet Assigned
Application No.: 10/626,656	)	Group Art Unit: Not Yet Assigned
Filed: July 25, 2003	)	
For: SEMICONDUCTOR DEVICE	)	
AND METHOD OF	)	
MANUFACTURING SAME	)	April 7, 2004

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

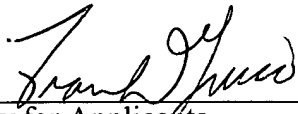
Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed is a certified copy of the following foreign application:

2002-222454 filed July 31, 2002.

Applicants' undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

  
\_\_\_\_\_  
Attorney for Applicants  
Registration No. 42,476

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

CFO 17437 US/sug  
10/626,656

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年   7 月 3 1 日  
Date of Application:

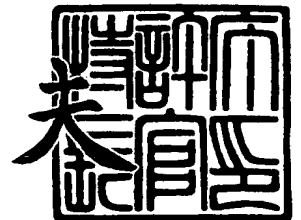
出 願 番 号            特 願 2 0 0 2 - 2 2 2 4 5 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 2 2 4 5 4 ]

出      願      人            キヤノン株式会社  
Applicant(s):

2 0 0 3 年   8 月 1 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号   出証特 2 0 0 3 - 3 0 6 7 0 2 2

【書類名】 特許願

【整理番号】 4747008

【提出日】 平成14年 7月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/00

【発明の名称】 半導体素子及び半導体素子の製造方法

【請求項の数】 20

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 高田 健司

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 岡田 直人

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

【代理人】

    【識別番号】 100096828

    【弁理士】

    【氏名又は名称】 渡辺 敬介

    【電話番号】 03-3501-2138

【選任した代理人】

    【識別番号】 100059410

    【弁理士】

    【氏名又は名称】 豊田 善雄

    【電話番号】 03-3501-2138

## 【選任した代理人】

【識別番号】 100110870

【弁理士】

【氏名又は名称】 山口 芳広

【電話番号】 03-3501-2138

## 【手数料の表示】

【予納台帳番号】 004938

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0101029

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子及び半導体素子の製造方法

【特許請求の範囲】

【請求項 1】 基板上に少なくとも、第一の半導体層を形成する工程と、前記第一の半導体層上に第一の透明導電層を形成する工程と、前記第一の透明導電層上に第二の半導体層を形成する工程とを有する半導体素子の製造方法であって、前記第二の半導体層を形成する工程の前に、前記第一の半導体層の欠陥を不活性化処理することを特徴とする半導体素子の製造方法。

【請求項 2】 第一の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により、前記第一の半導体層の欠陥領域以外の部分上にのみ前記第一の透明導電層を形成する処理である請求項 1 に記載の半導体素子の製造方法。

【請求項 3】 第一の半導体層の欠陥の不活性化処理は、第一の透明導電層を形成する工程の後に、前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を不活性化する処理である請求項 1 に記載の半導体素子の製造方法。

【請求項 4】 第一の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により前記第一の透明導電層を形成した後に、前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を不活性化する処理である請求項 1 に記載の半導体素子の製造方法。

【請求項 5】 前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を、除去することにより不活性化する請求項 3 または 4 に記載の半導体素子の製造方法。

【請求項 6】 前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を、高抵抗化することにより不活性化する請求項 3 または 4 に記載の半導体素子の製造方法。

【請求項 7】 電圧を印加することにより不活性化する請求項 5 または 6 に記載の半導体素子の製造方法。

【請求項 8】 電解溶液中に浸漬し、電圧を印加することにより不活性化する請求項 5 または 6 に記載の半導体素子の製造方法。

【請求項 9】 基板上に少なくとも、第一の半導体層を形成する工程と、前記第一の半導体層上に第一の透明導電層を形成する工程と、前記第一の透明導電層上に第二の半導体層を形成する工程と、前記第二の半導体層上に第二の透明導電層を形成する工程を有する半導体素子の製造方法であって、前記第二の半導体層を形成する工程の前に前記第一の半導体層の欠陥を不活性化処理し、前記第二の半導体層の欠陥を不活性化処理することを特徴とする半導体素子の製造方法。

【請求項 10】 第一の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により、前記第一の半導体層の欠陥領域以外の部分上にのみ前記第一の透明導電層を形成する処理であり、第二の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により、前記第二の半導体層の欠陥領域以外の部分上にのみ前記第二の透明導電層を形成する処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 11】 第一の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により、前記第一の半導体層の欠陥領域以外の部分上にのみ前記第一の透明導電層を形成する処理であり、第二の半導体層の欠陥の不活性化処理は、第二の透明導電層を形成する工程の後に、前記第二の半導体層の欠陥領域部分上の前記第二の透明導電層を不活性化する処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 12】 第一の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により、前記第一の半導体層の欠陥領域以外の部分上にのみ前記第一の透明導電層を形成する処理であり、第二の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により前記第二の透明導電層を形成した後に、前記第二の半導体層の欠陥領域部分上の前記第二の透明導電層を不活性化する処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 13】 第一の半導体層の欠陥の不活性化処理は、第一の透明導電層を形成する工程の後に、前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を不活性化する処理であり、第二の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により、前記第二の半導体層の

欠陥領域以外の部分上にのみ前記第二の透明導電層を形成する処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 14】 第一の半導体層の欠陥の不活性化処理は、第一の透明導電層を形成する工程の後に、前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を不活性化する処理であり、第二の半導体層の欠陥の不活性化処理は、第二の透明導電層を形成する工程の後に、前記第二の半導体層の欠陥領域部分上の前記第二の透明導電層を不活性化する処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 15】 第一の半導体層の欠陥の不活性化処理は、第一の透明導電層を形成する工程の後に、前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を不活性化する処理であり、第二の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により前記第二の透明導電層を形成した後に、前記第二の半導体層の欠陥領域部分上の前記第二の透明導電層を不活性化する処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 16】 第一の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により前記第一の透明導電層を形成した後に、前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を不活性化する処理であり、第二の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により、前記第二の半導体層の欠陥領域以外の部分上にのみ前記第二の透明導電層を形成する処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 17】 第一の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により前記第一の透明導電層を形成した後に、前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を不活性化する処理であり、第二の半導体層の欠陥の不活性化処理は、第二の透明導電層を形成する工程の後に、前記第二の半導体層の欠陥領域部分上の前記第二の透明導電層を不活性化する処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 18】 第一の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により前記第一の透明導電層を形成した後に、

前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を不活性化処理であり、第二の半導体層の欠陥の不活性化処理は、基板のバイアス電位を制御するスパッタリング法により前記第二の透明導電層を形成した後に、前記第二の半導体層の欠陥領域部分上の前記第二の透明導電層を不活性化処理である請求項 9 に記載の半導体素子の製造方法。

【請求項 19】 基板のバイアス電位を制御するスパッタリング法で、ターゲットに第一の電源から電圧を印加し、前記基板に第二の電源から電圧を印加し、それぞれ独立してバイアス電位を制御することを特徴とする請求項 2 又は 4 又は 10 乃至 13 又は 15 乃至 18 のいずれかに記載の半導体素子の製造方法。

【請求項 20】 基板上に少なくとも、第一の半導体層と、第一の透明導電層と、第二の半導体層とをこの順で積層した半導体素子であって、前記第一の半導体層の欠陥領域以外の部分上にのみ前記第一の透明導電層が存在していることを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は少なくとも 2 つ以上の半導体層を積層した半導体素子、より具体的には少なくとも 2 つ以上の発電機能単位を持つ積層型光起電力素子に関わる。

【0002】

【従来の技術】

光起電力素子は入射光エネルギーを電気エネルギーに変換する装置で、その内太陽電池は太陽光を電気エネルギーに変換するもので広い波長域の光を効率的に変換することが求められる。そのため高い変換効率を達成するためには広い波長領域全体にわたって無駄なく光を吸収する必要がある。その解決手段の 1 つとして異なるバンドギャップを持つ半導体層を光活性層として持つ素子を積層する積層型光起電力素子がよく知られている。この積層型光起電力素子は光入射側にバンドギャップが相対的に大きい半導体を用いた素子を配置してエネルギーの大きな短波長の光を吸収させ、その下にバンドギャップが相対的に小さい半導体を用いた素子を配置して上の素子を透過したエネルギーの低い長波長の光を吸収させ



ることにより広い波長域で効率よく光を吸収利用するものである。

#### 【0003】

ここで重要な点は各々の光起電力素子に適した波長領域の光を各素子に導入することが必要であるということである。これは各々の光起電力素子とその光活性層に用いられている半導体のバンドギャップにより入射光の利用可能波長域が制約されてしまうことに理由がある。すなわち、バンドギャップよりもエネルギーが低い光子は半導体に吸収されず利用することができない。またバンドギャップより大きなエネルギーを持った光子は、吸収はされるが電子を励起した際に与えることができる電子のポテンシャルエネルギーはそのバンドギャップの大きさに制限されてしまうためにバンドギャップエネルギーと光子エネルギーの差分は利用することができない。すなわち積層型光起電力素子においてはその光入射側の素子には短波長領域の光のみを、その下の素子には長波長領域の光のみを入射させることが重要である。

#### 【0004】

この解決手段の一つとして上下の光起電力素子の間に選択反射層として透明導電層を設けて反射層として使うといった方法が知られている。例えば特開昭63-77167には各素子間に短波長の光を反射し長波長の光を透過する透明導電層を設けるといった方法が開示されている。また特開平2-237172にはこの透明導電層の膜厚を調整してその反射率のピークを光入射側光起電力素子の分光感度の最大波長に合わせて光入射側光起電力素子の電流値を増やすといった方法が開示されている。これらはいずれも本来入射光側の光起電力素子で吸収させたい短波長の光を前記選択反射層により入射光側の光起電力素子側へ選択的に反射させることにより、光をより有効に活用することで変換効率を上げることを目的としたものである。

#### 【0005】

この透明導電層は選択的な光反射の機能と同時に複数の素子を直列に接続する機能が求められる。その際、透明導電層は等価回路で考えると外部抵抗として働くため抵抗値の大きさはそのまま曲性因子の低下につながる。そのため従来透明導電層の材質は高い導電率が求められてきた。

## 【0006】

一般に透明導電層はスパッタリング法により形成される。方法としては、ターゲットに  $\text{In}_2\text{O}_3$ — $\text{SnO}_2$ 、 $\text{ZnO}$ 等の酸化物を用いて  $\text{Ar}$  ガス中でスパッタリングする方法と、 $\text{In}$ — $\text{Sn}$ 、 $\text{Zn}$ 等の合金を  $\text{Ar}$  と  $\text{O}_2$ との混合ガス中でスパッタする反応性スパッタリング法の2種が提案されている。そして前者はスパッタリング直後で低電気抵抗・高透過率の膜が製造できる。

## 【0007】

一方、後者の反応性スパッタリング法の利点としては、ターゲット材料が節約できること、及びターゲット交換に伴う生産停止時間が大きく減少させることができ、大量生産に適している。

## 【0008】

このようにして得られる積層型光起電力素子は入射光の全ての波長域に渡って無駄なく光吸収が行われるために、入射した光エネルギーを最大限に利用出来、高い変換効率を得ることが出来る。

## 【0009】

## 【発明が解決しようとする課題】

しかしながら、太陽電池等の大面積の光起電力素子はその面積の大きさ故に素子の欠陥領域の短絡対策が大きな問題となっている。このことに対する有効な手段として、例えば特開平6-21493には、正常部分に対して短絡した欠陥領域が電流を非常に流し易いことを利用して、欠陥領域を回路的に切り離すことにより変換効率の低下を防ぐことが開示されている。成膜後すでに存在する欠陥領域の短絡を除去、あるいは短絡箇所近傍の部材を高抵抗化して、欠陥領域を不活性化し、短絡電流が流れることによる変換効率の低下を抑止する処理が施される。以降この処理をシャントパッシベーションと呼ぶ。

## 【0010】

しかし、選択反射層として透明導電層を導入した積層型光起電力素子においてはシャントパッシベーションによる変換効率の低下抑止機能がうまく働かない問題が起きる。図1に示すように第一の半導体層102の欠陥領域107に第一の透明導電層103が、また第二の半導体層104の欠陥領域106に第二の透明

導電層 105 が成膜されている。第一の透明導電層 103 と第二の透明導電層 105 は低抵抗である為、平面状の導通経路となり、第一の半導体層 102 と第二の半導体層 104 の欠陥領域 106、107 を短絡電流が流れ、起電力の低下を招く。ここで上記のシャントパッシベーションを行った場合、第二の半導体層 104 の欠陥は不活性化されるが、第一の半導体層の欠陥は不活性化されない。この状態で発電動作を行うと図 2 に示すように第一の半導体層 202 の欠陥領域 207 を通して流れる短絡電流が 2 次元的に集まり第一の半導体層 202 の正常部分の起電力の低下を招く。そのために素子全体の変換効率の低下を招いてしまう。

#### 【0011】

この様に、光電流を増やすために選択反射層として透明導電層を導入したのだが、シャントパッシベーションにより第一の半導体層の欠陥が不活性化されない為、基板と第一の透明導電層が短絡し、半導体層の特性が低下することとなる。その結果、選択反射層の本来の機能が必ずしも十分に発揮されず、変換効率の向上が不十分であり、特に第一の半導体層に内在する欠陥の数が多い場合には、積層型光起電力素子の特性は選択反射層を設けることによってむしろ低下する場合がある。

#### 【0012】

本発明は、これらの課題を解決し、選択反射層として透明導電層の本来の機能を高め、更に起電力の低下を伴わずに大きな光電流を持ち、結果として高い変換効率を持つ光起電力素子を提供することにある。

#### 【0013】

##### 【課題を解決するための手段】

上記課題を解決する為、第一の半導体層の欠陥を不活性化する検討をおこなった。

#### 【0014】

すなわち、本発明は、基板上に少なくとも、第一の半導体層を形成する工程と、前記第一の半導体層上に第一の透明導電層を形成する工程と、前記第一の透明導電層上に第二の半導体層を形成する工程とを有する半導体素子の製造方法であ

って、前記第二の半導体層を形成する前に、前記第一の半導体層の欠陥を不活性化処理することを特徴とする半導体素子の製造方法である。

【0015】

また本発明は、基板上に少なくとも、第一の半導体層を形成する工程と、前記第一の半導体層上に第一の透明導電層を形成する工程と、前記第一の透明導電層上に第二の半導体層を形成する工程と、前記第二の半導体層上に第二の透明導電層を形成する工程を有する半導体素子の製造方法であって、前記第二の半導体層を形成する工程の前に前記第一の半導体層の欠陥を不活性化処理し、前記第二の半導体層の欠陥を不活性化処理することを特徴とする半導体素子の製造方法である。

【0016】

また本発明は、基板上に少なくとも、第一の半導体層と、第一の透明導電層と、第二の半導体層とをこの順で積層した半導体素子であって、前記第一の半導体層の欠陥領域以外の部分上にのみ前記第一の透明導電層が存在していることを特徴とする半導体素子である。

【0017】

第一（第二）の半導体層の欠陥の不活性化処理は、  
基板のバイアス電位を制御するスパッタリング法により、前記第一（第二）の半導体層の欠陥領域以外の部分上にのみ前記第一（第二）の透明導電層を形成する処理である、  
若しくは、

第一（第二）の透明導電層を形成する工程後、前記第一（第二）の半導体層の欠陥領域部分上の第一（第二）の透明導電層を不活性化処理である、  
若しくは、

基板のバイアス電位を制御するスパッタリング法により前記第一（第二）の透明導電層を形成した後に、前記第一（第二）の半導体層の欠陥領域部分上の前記第一（第二）の透明導電層を不活性化処理である、ことが好ましい。

【0018】

また、前記第一の半導体層の欠陥領域部分上の前記第一の透明導電層を、高抵

抗化または除去することにより不活性化することが好ましく、電圧を印加することまたは電解溶液中に浸漬し電圧を印加することにより不活性化するのが好適である。

#### 【0019】

また、基板のバイアス電位を制御するスパッタリング法で、ターゲットに第一の電源から電圧を印加し、前記基板に第二の電源から電圧を印加し、それぞれ独立してバイアス電位を制御することが好ましい。

#### 【0020】

##### 【発明の実施の形態】

本発明者は、基板上に少なくとも、第一の半導体層を形成する工程と、前記第一の半導体層上に第一の透明導電層を形成する工程と、前記第一の透明導電層上に第二の半導体層を形成する工程とを有する半導体素子の製造方法であって、前記第二の半導体層を形成する前に、前記第一の半導体層の欠陥を不活性化処理することを特徴とする半導体素子の製造方法、もしくは、基板上に少なくとも、第一の半導体層を形成する工程と、前記第一の半導体層上に第一の透明導電層を形成する工程と、前記第一の透明導電層上に第二の半導体層を形成する工程と、前記第二の半導体層上に第二の透明導電層を形成する工程を有する半導体素子の製造方法であって、前記第二の半導体層を形成する前に前記第一の半導体層の欠陥を不活性化処理し、前記第二の半導体層の欠陥を不活性化処理することを特徴とする半導体素子の製造方法、によって製造された光起電力素子は、欠陥の短絡電流が抑えられ、高い変換効率を有することを見出した。

#### 【0021】

基板のバイアス電位を制御するスパッタリング法により、第一の半導体層の欠陥領域以外の部分上にのみ前記第一の透明導電層を形成する処理により、第一の半導体層の欠陥を不活性化できる。

#### 【0022】

ここで用いる真空容器内には、対向して配設されたターゲットと基板の双方にそれぞれ独立した外部電源を有している。これを用い反応性ガス ( $O_2$ ) を導入して、基板に発生するセルフバイアスが  $-20V \sim 0V$  となるように第一の電源

からターゲットに電圧を印加し、続いて、基板に $-110\text{V} \sim -20\text{V}$ のバイアス電位が発生するように、第二の電源により基板に電圧を印加して成膜を開始する。

#### 【0023】

なお、実際の成膜はターゲットと基板の双方に電圧を印加した状態で行う。従って、ターゲットのみに電圧が印加されている状態で基板のセルフバイアスが $-20\text{V} \sim 0\text{V}$ となり、ターゲットと基板の両方に電圧が印加されている状態での基板のバイアス電位が $-110\text{V} \sim -20\text{V}$ となる条件が満たされれば、当初からターゲットと基板の双方に電圧を印加しても構わない。

#### 【0024】

ここで基板のセルフバイアスが $-20\text{V} \sim 0\text{V}$ となっているが、使用する装置の成膜室と基板の大きさの比に応じて変化するので、製造条件に合せた条件で行えばよい。また成膜中のバイアス電位を $-110\text{V} \sim -20\text{V}$ で行っているが、ターゲットに印加する電圧や基板とターゲットの距離により最適条件があるので、その条件で行えば良い。

#### 【0025】

本発明のスパッタリング法によれば、透明導電層は欠陥領域以外の部分上にのみ形成される。その理由を図3より説明する。図3は、本発明のスパッタリング法と従来のスパッタリング法を模式的にあらわしたものである。

#### 【0026】

従来のスパッタリング法により透明導電層303を形成する場合は、本発明のように基板301にバイアス電位を印加していないため、欠陥領域307及び非欠陥領域を問わず透明導電層が一様に形成されてしまう。

#### 【0027】

一方、本発明のスパッタリング法により透明導電層を形成する場合は、基板301にバイアスを印加しているため、欠陥領域307にマイナスの電荷が集中し、 $\text{Ar}^+$ イオン（プラスイオン）は選択的に欠陥領域307に衝突する。これにより、欠陥領域307上の透明導電物の原子はすぐには弾き飛ばされる。このため、本発明のスパッタリング法により透明導電層は欠陥領域以外の部分上にのみ

形成される。

#### 【0028】

ここで欠陥領域以外の部分上にのみ透明導電層を形成するとは、欠陥領域上に透明導電膜が全く形成されない、又はある程度形成されたとしても、欠陥領域以外の部分に比べその膜厚は非常に小さいことを意味する。具体的には積層型光起電力素子の特性において、シャントダーク ( $R_{shDK}$ ) が  $80\text{ k}\Omega \cdot \text{cm}^2$  以上の特性を有することである。

#### 【0029】

以上のように、基板のバイアス電位を制御するスパッタリング法により、第一の半導体層の欠陥を不活性化できる。

#### 【0030】

第二の半導体層を形成する前に、第一の半導体層の欠陥領域部分上の第一の透明導電層を高抵抗化または除去することにより、第一の半導体層の欠陥を不活性化できる。第一の透明導電層の除去または高抵抗化は、例えば、半導体素子に電圧を印加して、短絡部に電流を集中的に流して発生させたジュール熱によってなされる。若しくは、電解溶液中に浸漬し、電圧を印加すること（電解パッシベーション）によってもよい。電解液は透明導電層を容易には溶解しない濃度の塩酸、硝酸または硫酸、 $\text{AlCl}_3$ 、 $\text{ZnCl}_2$ 、 $\text{SnCl}_4$ 、 $\text{SnCl}_2$ 、 $\text{TiCl}_4$  等などの酸、または水酸化カリウム、水酸化ナトリウム等のアルカリの水溶液、あるいは金属塩の水溶液である。該金属塩としては、塩を構成する金属の標準電極電位が負で、水素過電圧の値が標準電極電位の絶対値よりも小さい金属からなる塩が用いられる。具体的には、塩化アルミニウム、硫酸マグネシウム、食塩などである。印加電圧は  $2 \sim 7\text{ V}$  の範囲で行うとよい。

#### 【0031】

さらに、基板のバイアス電位を制御するスパッタリング法により、欠陥領域以外の部分上にのみ第一の透明導電層を形成後、第一の透明導電層を高抵抗化または除去することは、第一の半導体層の欠陥の不活性化がより確実に行えるので好ましい。基板のバイアス電位を制御するスパッタリング法で欠陥領域に微量の透明導電層が残っていたとしても、電解パッシベーションで十分に取り除くことが

出来、 $R_{sh}DK$ が約  $450\text{ k}\Omega \cdot \text{cm}^2$ まで改良される。

#### 【0032】

上記の作用により、第一の半導体層の欠陥が不活性化された積層型光起電力素子は、積層型光起電力素子のシャント抵抗が改善され、良好な特性、つまり高い歩留まりを有する積層型光起電力素子を得ることが可能となる。

#### 【0033】

なお、必要とされる特性、製造装置構成等の諸事情、コスト等を考慮して上述した第一の半導体層の欠陥の不活性化処理（基板のバイアス電位を制御したスパッタリング法、欠陥領域上の第一の透明導電層の高抵抗化又は除去）は、単独若しくは組み合わせて行うことが出来る。

#### 【0034】

第二の半導体層の欠陥も同様に不活性化することが出来る。

#### 【0035】

#### 【実施例】

以下に、本発明の実施例を添付図面に基づいて詳しく説明するが、本発明はこれらの実施例によって何ら限定されるものではない。

#### 【0036】

実施例により作製される積層型光起電力素子は図4に示すように基板401としては導電性基板を用い、その上に反射層409を介して第一の半導体層402を設け、その上に第一の透明導電層403、第二の半導体層404、第二の透明導電層405を設けている。更に図には概略しか示してないが、太陽電池として機能する為に、電気を集める集電電極410と、表面を被覆する保護層411を有している。

#### 【0037】

#### 〔実施例1〕

本実施例では、図5に示した装置を用い、基板のバイアス電位を $-70\text{ V}$ に設定して形成し、積層型光起電力素子を作製した。尚、図5（a）は平面図、図5（b）は装置内部を示す断面図である。

#### 【0038】



半導体層を成膜したロール状の基板 501 を基板送り出し室 502 にセットし、成膜室 503、504、505、506、507、508、509、510 のそれぞれに基板 501 を貫通させ、基板巻き取り室 511 のロール 512 に固定した。基板 501 の寸法は幅 356 mm、厚さ 0.15 mm、長さ 800 m であった。

#### 【0039】

なお、図 4 において、導電性基板 401 は表面に凹凸をダル仕上げで残した SUS 430、反射層 409 はアルミニウム層、第一の半導体層 402 は基板側から順に n 型 a-Si 層、i 型  $\mu$ C-Si 層、p 型  $\mu$ C-Si 層の積層体である。

#### 【0040】

続いて、真空ポンプ 548 を動作し、圧力が 0.1 Pa 以下になるまで排気した。この後、成膜室 503、504、505、506、507、508、509、510 にガス供給管 513、514、515、516、517、518、519、520 から不活性ガスとしてアルゴンガスを各々 45 sccm 供給した。この状態で不図示の排気バルブの開度を調整して真空室内の圧力を 0.3 Pa に保った。

#### 【0041】

成膜室 503、504、505、506、507、508、509、510 のそれぞれに 100 W の赤外線ランプ 6 本セットにしたヒータユニット 521、522、523、524、525、526、527、528 をステンレス製の反射板と共に設けておき基板の成膜面の裏面に熱電対を接触させて 200℃ になるよう温度を制御して加熱した。この成膜室の内面積は略 360 mm×680 mm であり、基板とターゲットの距離は 55 mm である。

#### 【0042】

続いて、反応性ガス ( $O_2$ ) を導入して、対向して配設されたターゲットに 600 V の電圧を印加し、基板に -70 V のセルフバイアスが発生するように、それぞれ独立した外部電源 529、530、531、532、533、534、535、536、537 により基板 501 に電圧を印加した後、サーボモータ 538 を動作し巻き取りロール 512 を回転させて、基板 501 の搬送を開始した。

。

## 【0043】

成膜室 503、504、505、506、507、508、509、510に基板 501を通し、純度 99.99 重量%、40 cm×25 cmの大きさの亜鉛ターゲット 539、540、541、542、543、544、545、546を用いて、各外部電源 529、530、531、532、533、534、535、536、537からの電力を入れアルゴンプラズマを生起し、ZnO膜を形成した。

## 【0044】

こうして第1の透明導電層としてZnOを成膜した基板 501は、巻き取り室 511で巻き取られる。この時、表面を傷つけないように、巻き取り時にポリエステルフィルムの合紙 547を基板と基板の間に挟み込んだ。

## 【0045】

この上に、第二の半導体層としてn型a-Si層、i型a-Si層、p型 $\mu$ C-Si層を順に積層し、第二の透明導電層としてITO層を設け、ロールを切断機によって、356 mm×240 mmに切断した。

## 【0046】

次に、硝酸（pH=3）に浸漬し、パルス（25 msec×100）状に電圧 3.5 Vを印加する処理をすることにより第二の半導体層と第二の透明導電層のシャント部分をエッチングした後、さらに集電電極を貼り、アクリルウレタンで皮膜して積層型光起電力素子を作製した。

## 【0047】

そして、その積層型光起電力素子の特性を測定した。−150 V〜20 Vの範囲でスパッタリング時の基板のバイアス電位を変化させて同様に積層型光起電力素子を作成し、測定を行った。その結果得られた変換効率特性を図6に、シャントダーク（RshDK）の結果を図7に示す。

## 【0048】

図6の変換効率特性及び図7のRshDKの結果から、基板に印加するセルフバイアスは、−110 V〜−20 Vが良好な範囲であることがわかる。

## 【0049】

上記より、本発明による第一の透明導電層の製造方法を実施することで、積層型光起電力素子の変換効率が向上することが分かる。

## 【0050】

## 〔実施例 2〕

本実施例では、図 5 に示した装置で、ターゲットとして酸化亜鉛の酸化物ターゲット（純度 99.99 重量%、40 cm×25 cm の大きさの酸化亜鉛ターゲット）を用い、反応ガスを導入せずに、非反応性スパッタリング法で第一の透明導電層形成した点が、実施例 1 と異なる。

## 【0051】

実施例 1 と同様にして、バイアス電位を  $-150\text{ V} \sim 20\text{ V}$  の範囲で変化させて第一の透明導電層を形成し、積層型光起電力素子を作製した。

## 【0052】

そして、その積層型光起電力素子の特性を測定し、 $-150\text{ V} \sim 20\text{ V}$  の範囲で基板のバイアスを変化させたものの比較を行った。そして、その結果得られた変換効率特性を図 8 に、ダークのシャント抵抗 ( $R_{shDK}$ ) の結果を図 9 に示す。

## 【0053】

図 8 の変換効率特性及び図 9 の  $R_{shDK}$  の結果から、基板に印加するバイアス電位は、 $-110\text{ V} \sim -20\text{ V}$  が良好な範囲であることがわかる。この結果は、実施例 1 と同様であった。

## 【0054】

上記より、本発明による第一の透明導電層の製造方法を実施することで、積層型光起電力素子の変換効率が向上することが分かる。

## 【0055】

すなわち、本発明によるスパッタリング法によれば、反応性スパッタリング法及び非反応性スパッタリング法共に利用できることが確認された。上記より、本発明による透明導電層の形成方法を実施することで、積層型光起電力素子の変換効率が向上する。

## 【0056】

## 〔実施例3〕

本実施例では、図10に示すようなバッチ処理式スパッタ装置で、第一の透明導電層形成した点が、実施例1と異なる。尚、図10(a)は平面図、図10(b)は装置内部を示す断面図である。

## 【0057】

実施例1と同様にして、バイアス電位を $-150\text{V} \sim 20\text{V}$ の範囲で変化させて第一の透明導電層を形成し、積層型光起電力素子を作製した。基板の大きさは $240\text{mm} \times 356\text{mm}$ で、この成膜室の内面積は略 $360\text{mm} \times 680\text{mm}$ であり、基板とターゲットの距離は $55\text{mm}$ である。

## 【0058】

そして、その積層型光起電力素子の特性を測定し、 $-150\text{V} \sim 20\text{V}$ の範囲で基板のバイアスを変化させたものの比較を行った。そして、その結果得られた変換効率特性を図11に、ダークのシャント抵抗( $R_{shDK}$ )の結果を図12に示す。

## 【0059】

図11の変換効率特性及び図12の $R_{shDK}$ の結果から、基板に印加するバイアス電位は、 $-110\text{V} \sim -20\text{V}$ が良好な範囲であることがわかる。この結果は、実施例1と同様であった。

## 【0060】

上記より、本発明による第一の透明導電層の製造方法を実施することで、積層型光起電力素子の変換効率が向上することが分かる。

## 【0061】

すなわち、本発明によるスパッタリング法によれば、ロール・ツー・ロールスパッタ装置及びバッチ式スパッタ装置共に利用できることが確認された。上記より、本発明による透明導電層の形成方法を実施することで、積層型光起電力素子の変換効率が向上する。

## 【0062】

## 〔実施例4〕

実施例 1 の条件で作製した積層型光起電力素子について、第二の半導体層を成膜する前に、 $\text{HNO}_3$  溶液 ( $\text{pH}=3$ ) に浸漬し、パルス ( $25\text{ msec} \times 100$ ) 状に電圧  $3.5\text{ V}$  を印加する処理 (電解パッシベーション) を行った時と行わなかった時の  $\text{RshDK}$  を測定した。また、比較のため基板のセルフバイアス電位を  $-10\text{ V}$  にしてスパッタリングを行った点が実施例 1 と異なる条件で作製した積層型光起電力素子についても同様の測定を行った。その結果を表 1 に示す。

### 【0063】

【表 1】

電解パッシベーション	基板のセルフバイアス(V)	RshDK	変換効率
無し	①-70	1.04	1.22
	②-10	1.00	1.00
有り	③-70	5.63	1.27
	④-10	1.50	1.11

尚、表 1 中の  $\text{RshDK}$  及び変換効率は、②の電解パッシベーション無し、基板のセルフバイアス  $-10\text{ V}$  の時を 1 とした時の相対値である。

### 【0064】

表中①の結果に示すように基板のバイアス電位を制御するスパッタリング法により第一の透明導電層を形成することで、 $\text{RshDK}$  が実質上問題ないレベルとなっていることからわかる。

### 【0065】

また表中③の結果に示すように電解パッシベーションを行うと、 $\text{RshDK}$  が更に良くなっている。電解パッシベーションによって、欠陥領域の透明導電層が完全に除去されるためであると考ええる。

### 【0066】

また表中④のように電解パッシベーションを行うだけでも、 $\text{RshDK}$  が良くなっていることがわかる。

### 【0067】

### 【発明の効果】

以上説明したように、本発明の半導体素子の製造方法によれば、半導体層の欠陥を不活性化できることから、欠陥の短絡電流を抑えることが出来る。この結果、積層型光起電力素子の効果を最大限に利用でき、歩留りが良く、低コストの積層型光起電力素子を提供できた。

【図面の簡単な説明】

【図 1】

従来の積層型光起電力素子の断面図である。

【図 2】

従来の積層型光起電力素子の断面図（発電時）である。

【図 3】

従来の透明導電層のスパッタリング法と、本発明の透明導電層のスパッタリング法の概略図である。

【図 4】

本発明の積層型光起電力素子の断面図である。

【図 5】

本発明の実施例 1 の透明導電層を形成する製造装置である。

【図 6】

本発明の実施例 1 の反応性スパッタリング方法によって透明導電層を形成したときの積層型光起電力素子の変換効率特性の結果を示すグラフである。

【図 7】

本発明の実施例 1 の反応性スパッタリング方法によって透明導電層を形成したときの積層型光起電力素子のシャントダークの結果を示すグラフである。

【図 8】

本発明の実施例 2 の非反応性スパッタリング方法によって透明導電層を形成したときの積層型光起電力素子の変換効率特性の結果を示すグラフである。

【図 9】

本発明の実施例 2 の非反応性スパッタリング方法によって透明導電層を形成したときの積層型光起電力素子のシャントダークの結果を示すグラフである。

【図 1 0】

本発明の実施例 3 の透明電極層を形成する製造装置である。

【図 11】

本発明の実施例 3 のバッチ処理の成膜装置によって透明導電層を形成したときの積層型光起電力素子の変換効率特性の結果を示すグラフである。

【図 12】

本発明の実施例 3 のバッチ処理の成膜装置によって透明導電層を形成したときの積層型光起電力素子のシャントダークの結果を示すグラフである。

【符号の説明】

- 101、201、301、401、501、1001 基板
- 102、202、302、402 第一の半導体層
- 103、203、303、403 第一の透明導電層
- 104、204、404 第二の半導体層
- 105、205、405 第二の透明導電層
- 106、206、406 第二の半導体層の欠陥
- 107、207、307、407 第一の半導体層の欠陥
- 409 反射層
- 410 集電電極
- 411 保護層
- 502 基板送り出し室
- 503、504、505、506、507、508、509、510 成膜室
- 511 基板巻き取り室
- 512 基板巻き取りロール
- 513、514、515、516、517、518、519、520 ガス供給管
- 521、522、523、524、525、526、527、528 ヒーターユニット
- 529、530、531、532、533、534、535、536、537 外部電源
- 538 サーボモーター

539、540、541、542、543、544、545、546 酸化亜鉛ターゲット

547 合紙

548 真空ポンプ

1002、1003、1004、1005、1006、1007、1008、  
1009 酸化亜鉛ターゲット

1010、1011、1012、1013、1014、1015、1016、  
1017 ヒーターユニット

1018、1019、1020、1021、1022、1023、1024、  
1025、1042 外部電源

1026、1027、1028、1029、1030、1031、1032、  
1033 成膜室

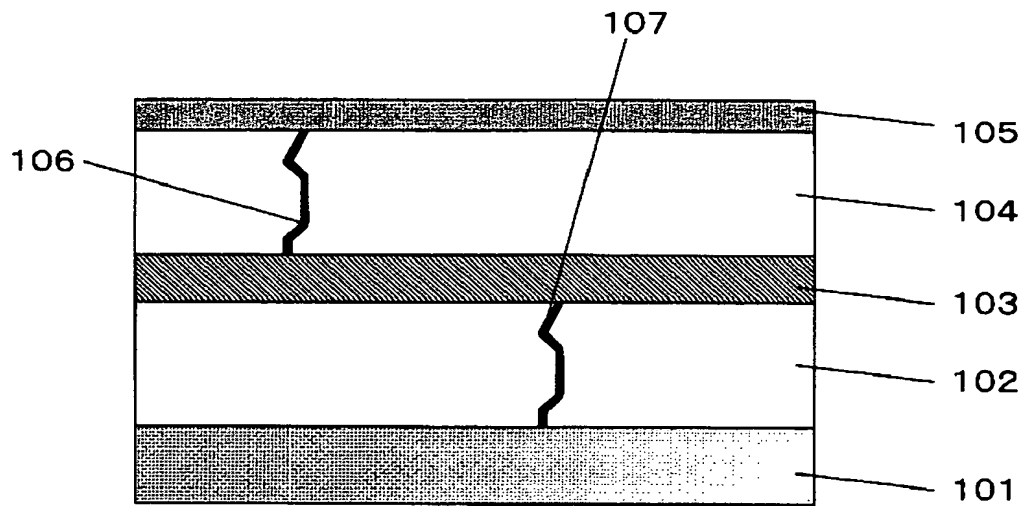
1034、1035、1036、1037、1038、1039、1040、  
1041 ガス供給管



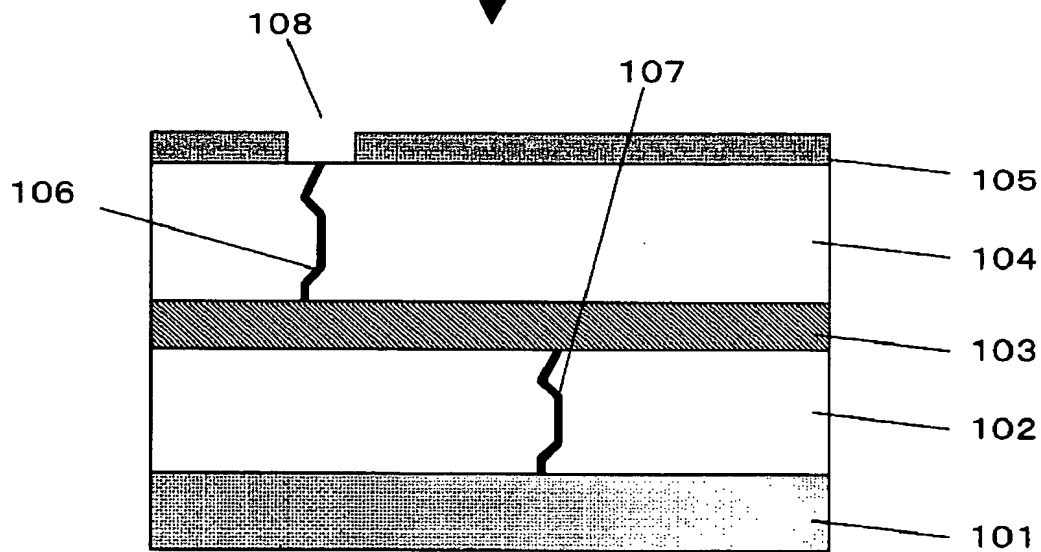
【書類名】

図面

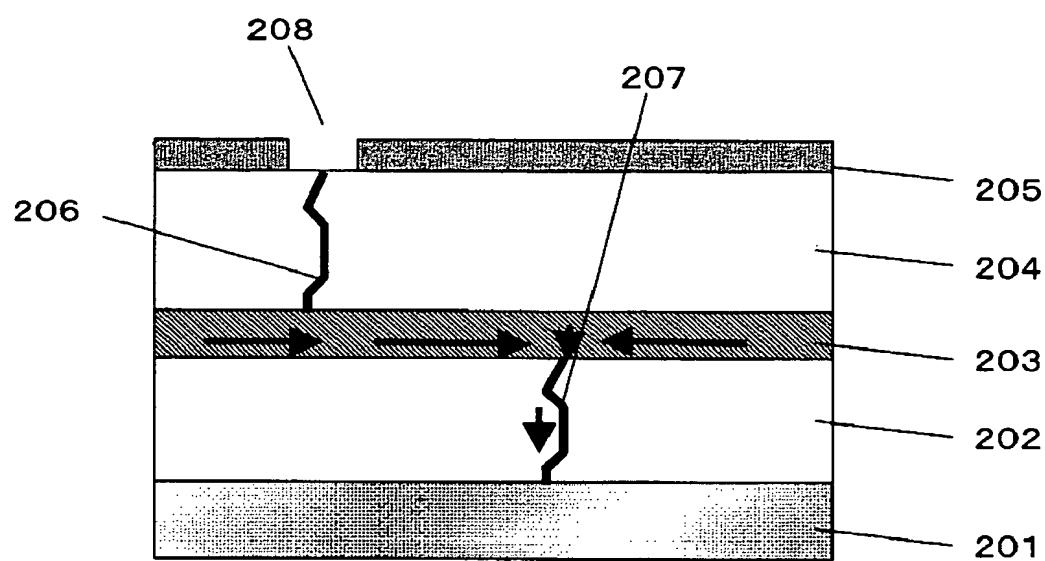
【図 1】



シヤントパツシベーション

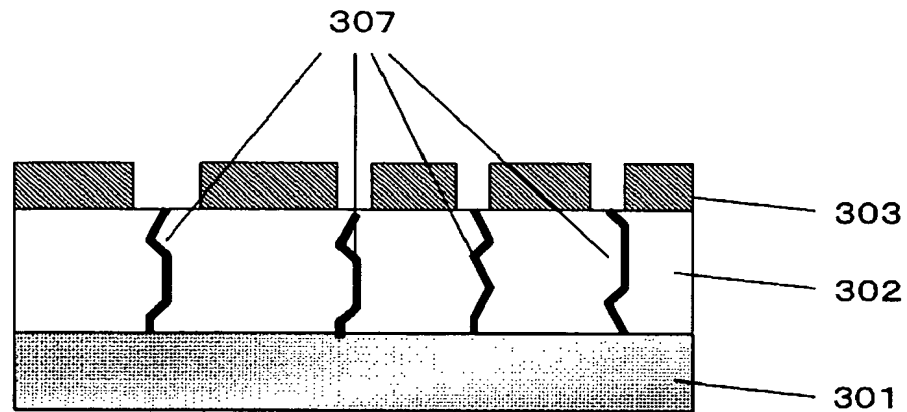


【図 2】

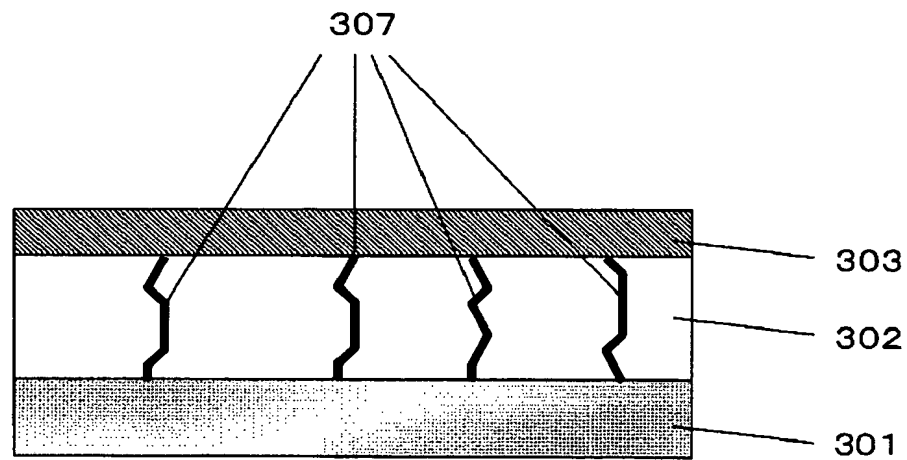


【図 3】

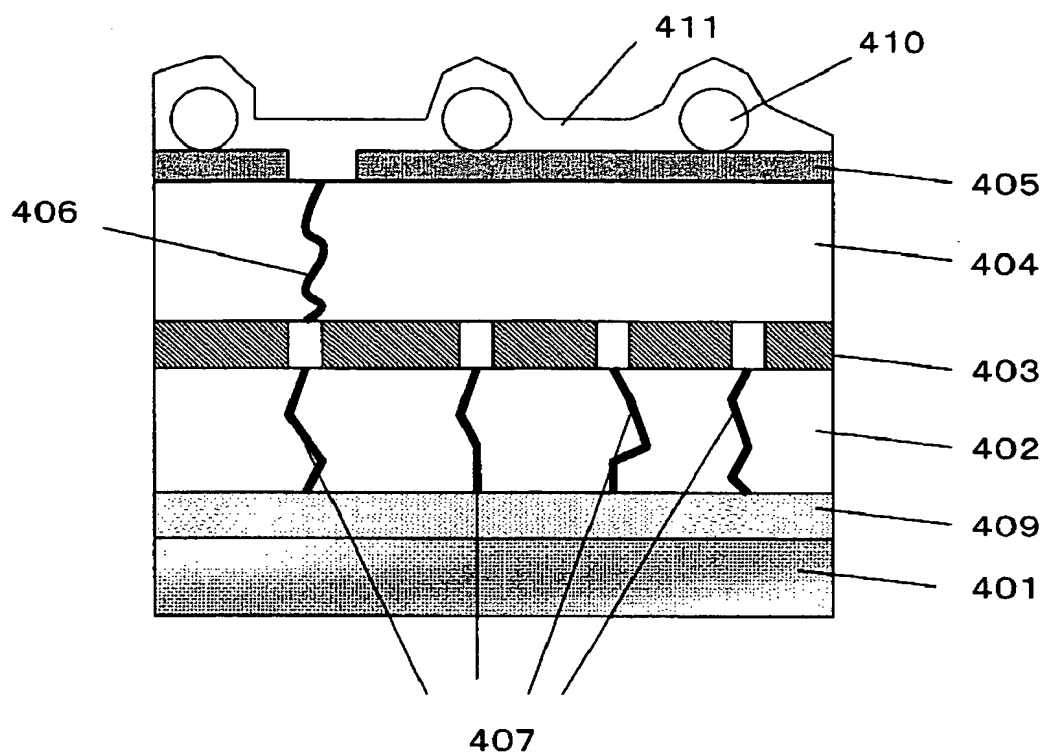
①本発明のスパッタリング法



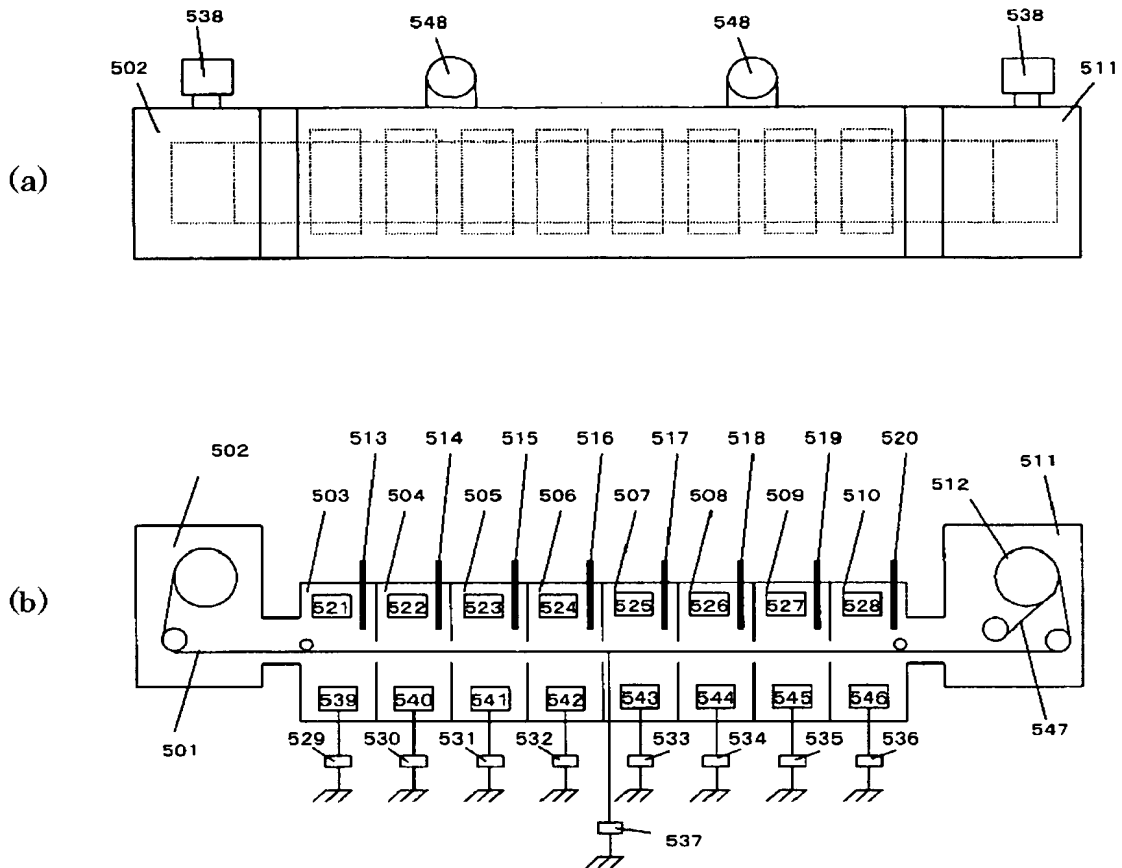
②従来のスパッタリング法



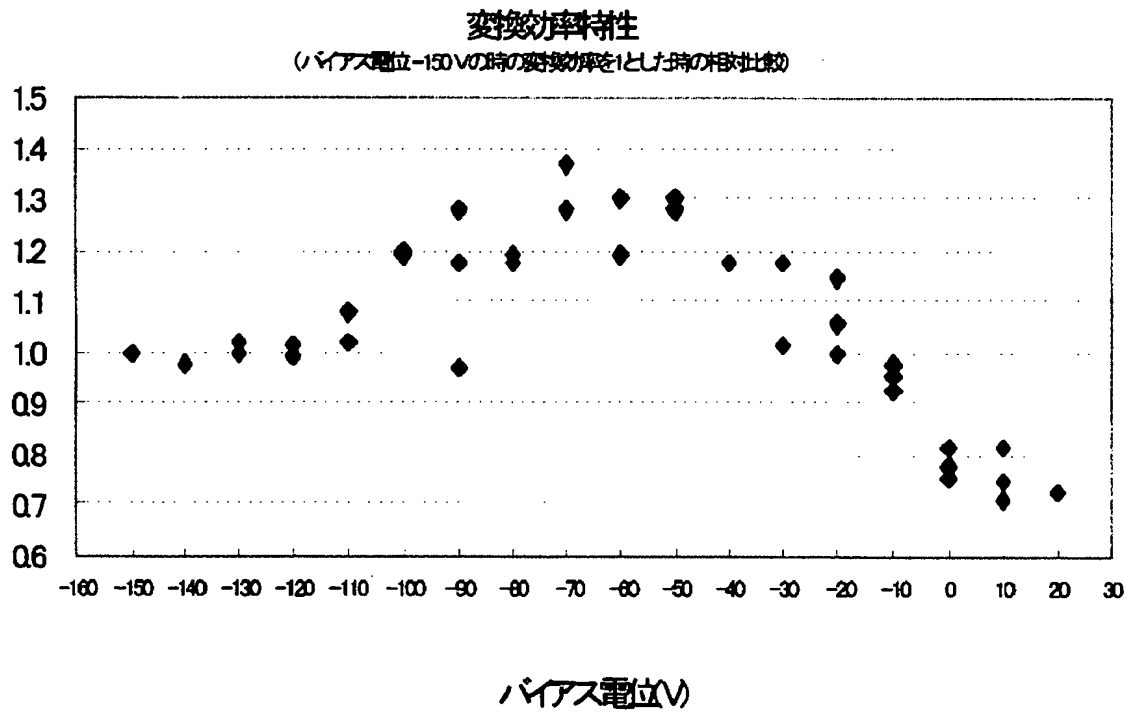
【図 4】



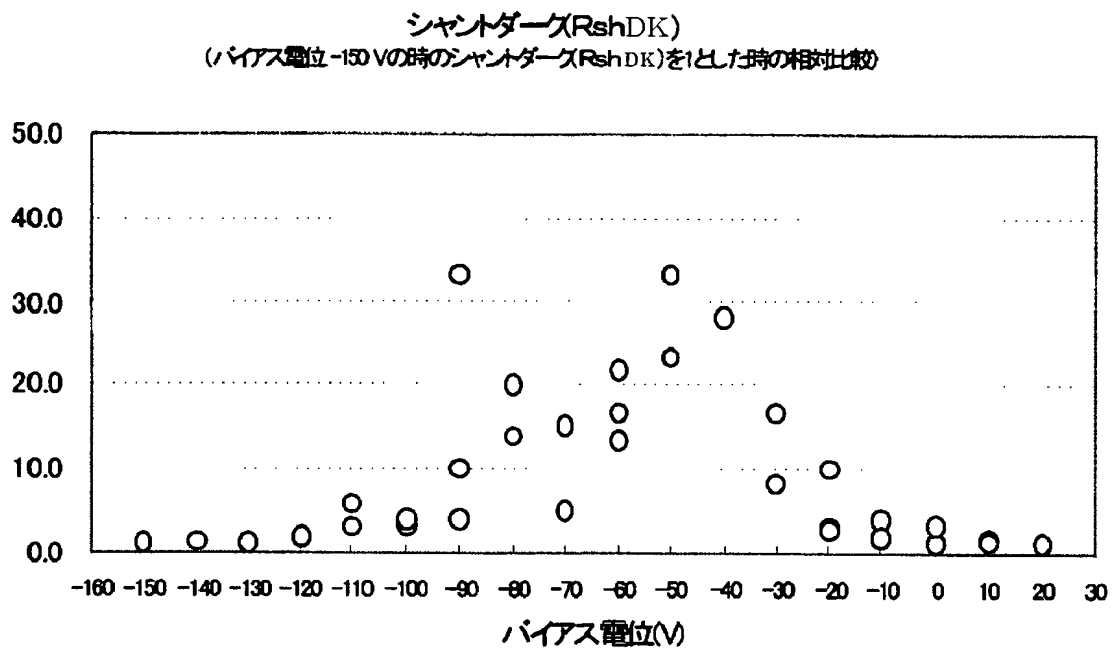
【図 5】



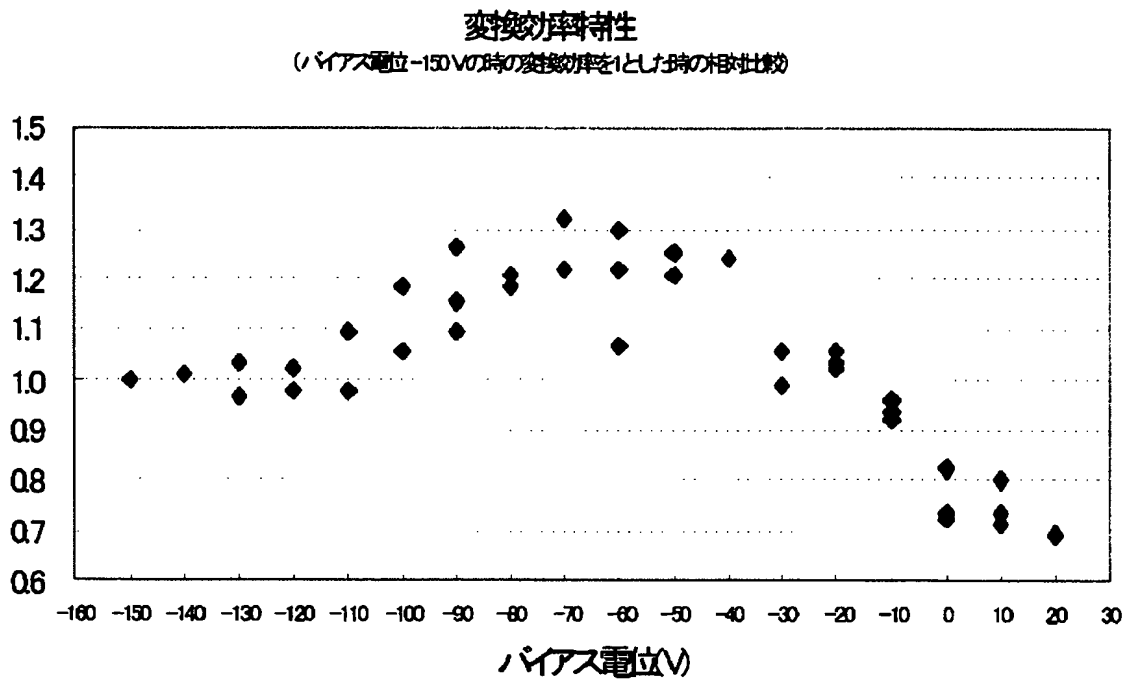
【図 6】



【図 7】

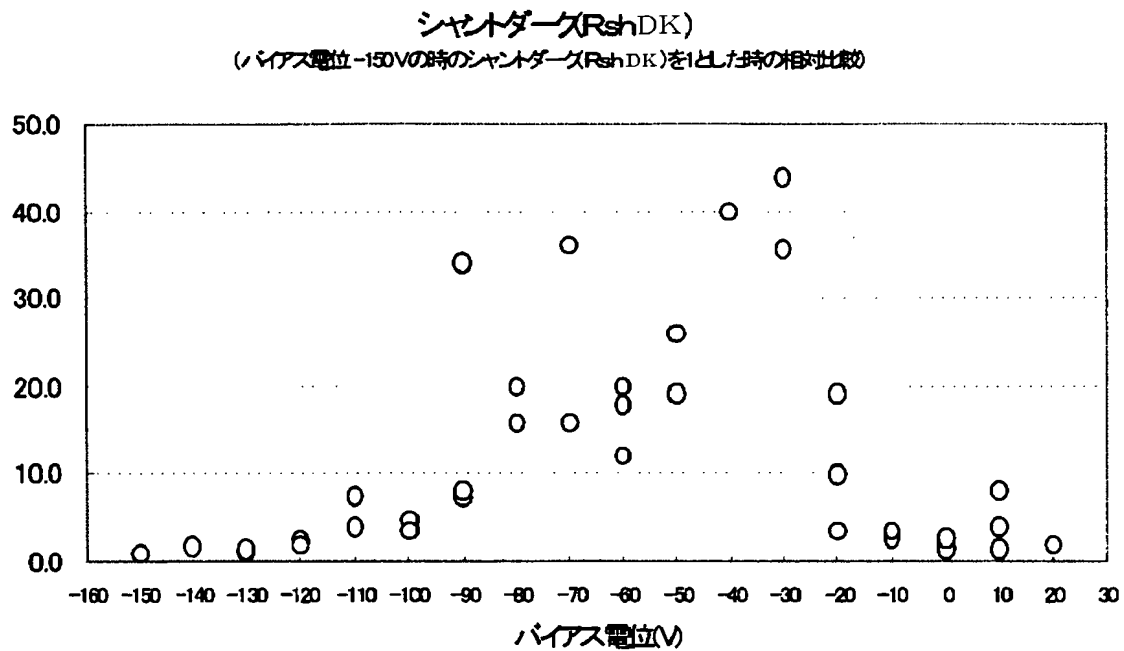


【図 8】

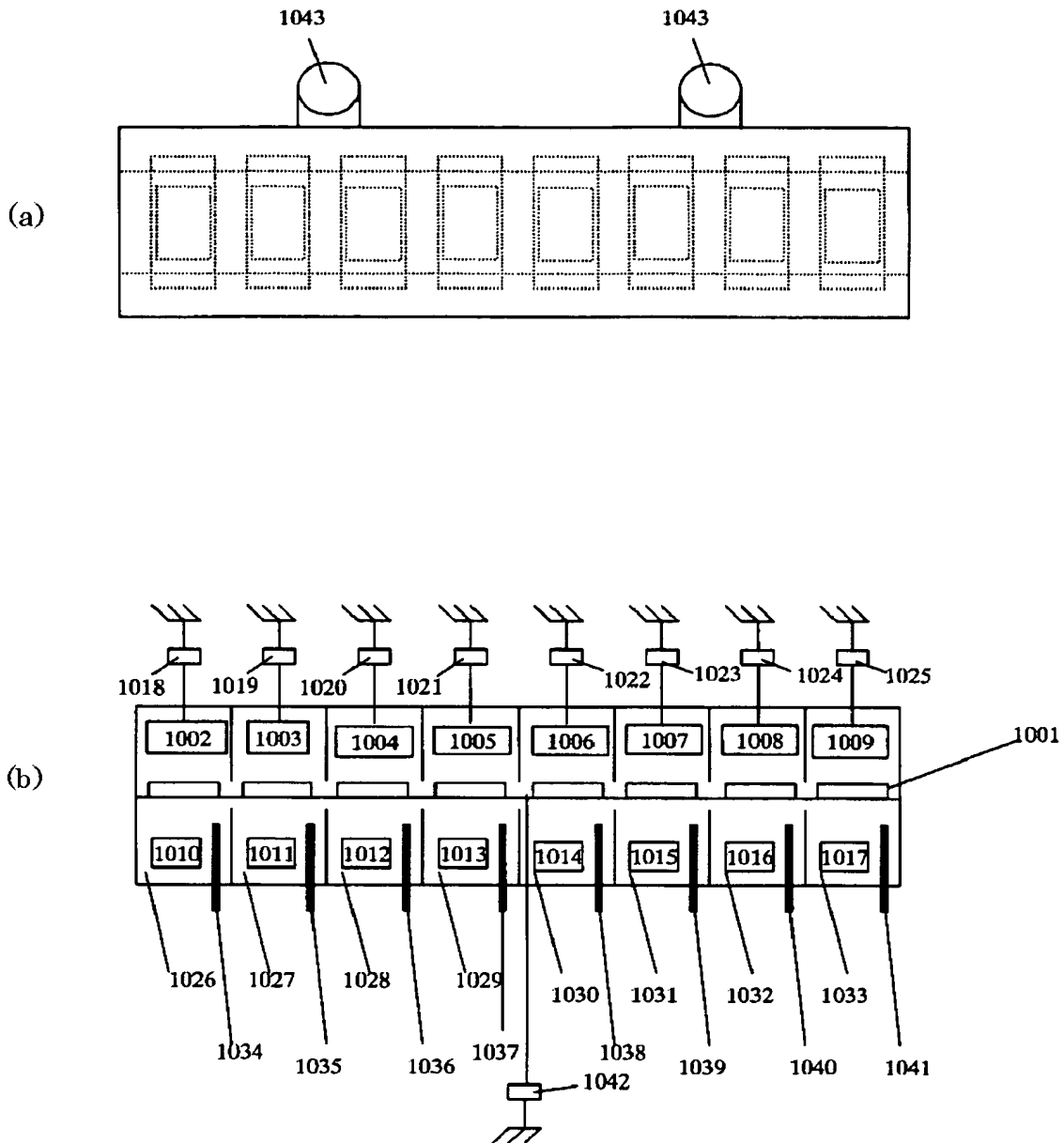




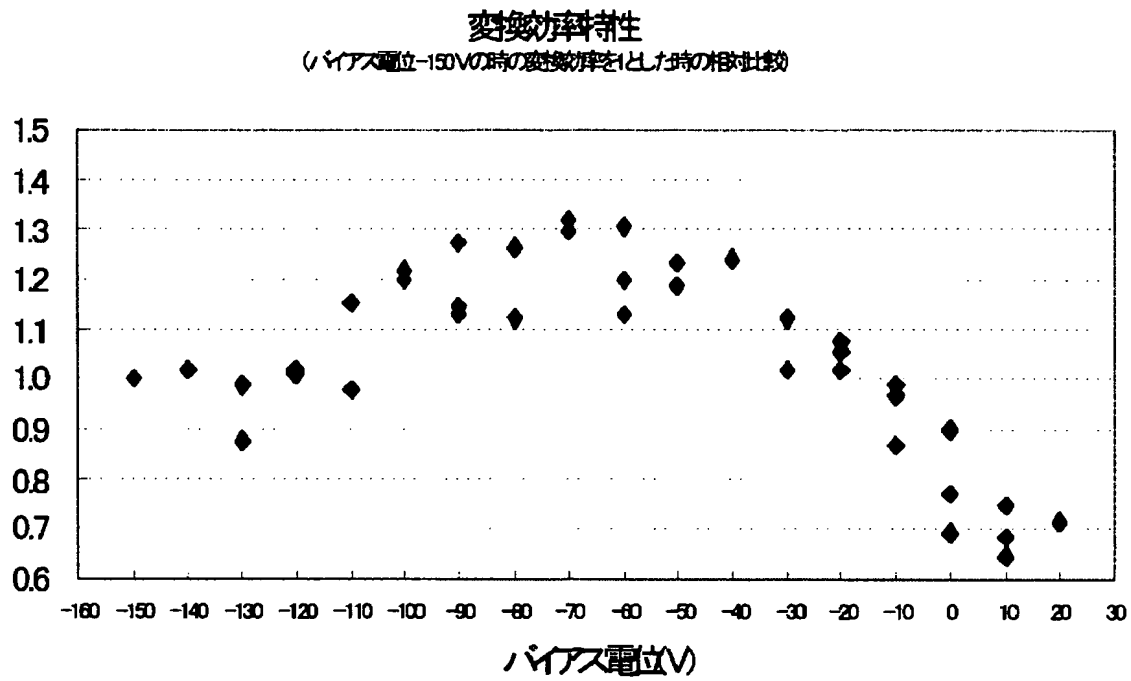
【図 9】



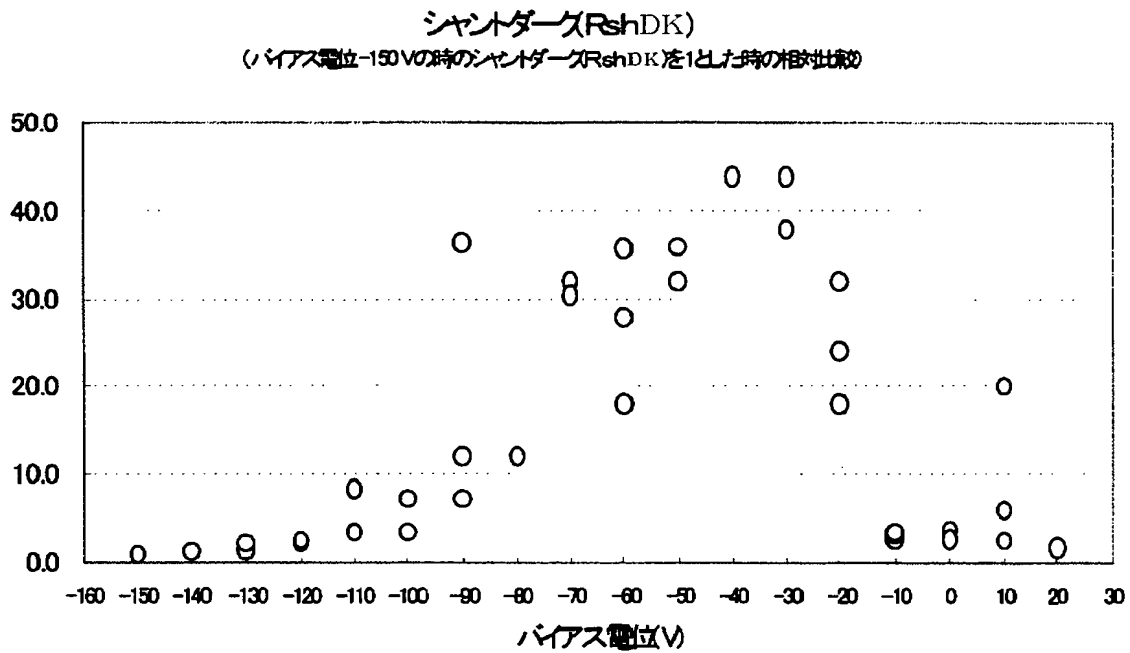
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 基板上に第一の半導体層/第一の透明導電層/第二の半導体層/第二の透明導電層を積層してなる積層型光起電力素子において、第一の半導体層の欠陥を不活性化することにより欠陥領域の短絡電流を抑制し、積層型光起電力素子の効果を最大限に利用できるようにする。

【解決手段】 第二の半導体層 4 0 4 を形成する工程の前に、第一の半導体層 4 0 2 の欠陥を不活性化するために、第一の透明導電層 4 0 3 を形成する工程において、基板 4 0 1 にセルフバイアスを印加し、制御することで第一の半導体層 4 0 2 の欠陥領域以外の部分上にのみ、第一の透明導電層 4 0 3 を形成する。

【選択図】 図 4

特願 2 0 0 2 - 2 2 2 4 5 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 0 0 7 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キヤノン株式会社